

Generate Collection

L9: Entry 6 of 6

File: JPAB

Nov 22, 2002

PUB-NO: JP2002333466A

DOCUMENT-IDENTIFIER: JP 2002333466 A

TITLE: DEVICE AND METHOD FOR TESTING INTEGRATED CIRCUIT

PUBN-DATE: November 22, 2002

## INVENTOR-INFORMATION:

NAME	COUNTRY
HAPKE, FRIEDRICH	

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
KONINKL PHILIPS ELECTRONICS NV	

APPL-NO: JP2002062127

APPL-DATE: March 7, 2002

PRIORITY-DATA: 200110110777 (March 7, 2001)

INT-CL (IPC): G01 R 31/3183; G06 F 11/22

## ABSTRACT:

PROBLEM TO BE SOLVED: To test an integrated circuit without changing the constitution of the integrated circuit of a testing object and without providing a large capacity of test vector memory.

SOLUTION: This integrated circuit testing device is provided with a data word generator for supplying a decision theoretic data word to evade the test vector memory and a system on a substrate, a test pattern generating means for changing the decision theoretic data word to generate a commanded test pattern able to be supplied to an input of the integrated circuit of the testing object, and a comparison means for comparing a test output pattern of the integrated circuit with a desirable output pattern.

COPYRIGHT: (C)2003,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-333466

(P2002-333466A)

(43) 公開日 平成14年11月22日 (2002.11.22)

(51) Int.Cl.  
G 01 R 31/3183  
G 06 F 11/22  
3 1 0  
3 3 0

F I  
G 06 F 11/22  
3 1 0 B 2 G 1 3 2  
3 1 0 F 5 B 0 4 8  
3 3 0 B  
G 01 R 31/28

テマコード(参考)  
3 1 0 B 2 G 1 3 2  
3 1 0 F 5 B 0 4 8  
3 3 0 B  
Q

審査請求 未請求 請求項の数10 OL (全 7 頁)

(21) 出願番号 特願2002-62127(P2002-62127)  
(22) 出願日 平成14年3月7日 (2002.3.7)  
(31) 優先権主張番号 1 0 1 1 0 7 7 7. 3  
(32) 優先日 平成13年3月7日 (2001.3.7)  
(33) 優先権主張国 ドイツ (DE)

(71) 出願人 590000248  
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ  
Koninklijke Philips Electronics N. V.  
オランダ国 5621 ペーー アンド一  
フェン フルーネヴァウツウェッハ 1  
Groenewoudseweg 1,  
5621 BA Eindhoven, The Netherlands  
(74) 代理人 100075812  
弁理士 吉武 寛次 (外4名)

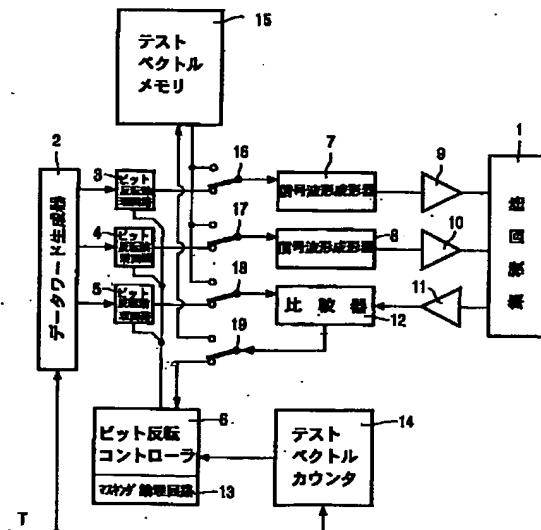
最終頁に続く

(54) 【発明の名称】 集積回路テスト装置および集積回路テスト方法

(57) 【要約】

【課題】 テスト対象の集積回路の構成を変更する必要がなく、大容量のテストベクトルメモリも設けることなく、集積回路のテストを可能にする。

【解決手段】 集積回路テスト装置は、この場合、テストベクトルメモリおよび基板上のシステムを避けるため、決定論的データワードを供給するデータワード生成器と、テスト対象の集積回路の入力に供給することができる命令されたテストパターンが生成されるように決定論的データワードを変更するテストパターン生成手段と、集積回路のテスト出力パターンを所望の出力パターンと比較する比較手段と、を備えている。



## 【特許請求の範囲】

【請求項1】テスト対象の集積回路の外部に設けられた集積回路テスト装置であって、決定論的データワードを供給するデータワード生成器と、

前記決定論的データワードを命令されたように変更して決定論的テストパターンを生成して前記テスト対象の集積回路の入力に供給するテストパターン生成手段と、入力された前記決定論的テストパターンに基づいて前記集積回路より出力されたテスト出力パターンを少なくとも1つの所望の出力パターンと比較する比較手段と、を備えることを特徴とする集積回路テスト装置。

【請求項2】前記データワード生成器は、フィードバックシフトレジスタよりなることを特徴とする請求項1に記載の集積回路テスト装置。

【請求項3】前記テストパターン生成回路は、前記決定論的データワードをビットのような手段により命令されたように変更して決定論的テストパターンを生成する複数のビット反転論理回路を制御するビット反転コントローラよりなることを特徴とする請求項1に記載の集積回路テスト装置。

【請求項4】前記比較手段は、テスト対象の前記集積回路の命令されたテスト出力パターンを前記所望の出力パターンと排他的に比較する機能を有するマスキング論理回路を含むことを特徴とする請求項1に記載の集積回路テスト装置。

【請求項5】クロック信号を計数すると共に、その計数結果を前記ビット反転コントローラおよび/または前記マスキング論理回路に供給するテストパターンカウンタをさらに備えることを特徴とする請求項3または請求項4に記載の集積回路テスト装置。

【請求項6】論理の一貫したテスト出力パターンを論理的に相互に結合すると共に、その最後の結合結果を所望の出力パターンと比較する署名レジスタをさらに備えることを特徴とする請求項1に記載の集積回路テスト装置。

【請求項7】前記所望の出力パターンは、データワード生成器およびテストパターン生成手段を用いて生成されていることを特徴とする請求項1に記載の集積回路テスト装置。

【請求項8】前記テスト回路は、プログラム可能な論理回路を含むことを特徴とする請求項1に記載の集積回路テスト装置。

【請求項9】前記テスト装置は、テストシステムとテスト対象の集積回路との間に接続されたテスト基板上に設けられていることを特徴とする請求項1に記載の集積回路テスト装置。

【請求項10】決定論的データワードが命令されたように変更され、テスト対象の集積回路の入力に供給することが可能な決定論的テストパターンが生成され、前記テ

スト対象の集積回路のテスト出力パターンが少なくとも1つの所望の出力パターンと比較され、さらにこれらの変更、生成、比較が前記テスト対象の集積回路の外側で実行されることを特徴とする集積回路テスト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、集積回路テスト装置および集積回路テスト方法に関する。

## 【0002】

【従来の技術】一般に、集積回路は製造後にテストされており、このテストを目的として、いわゆるテストベクトルと呼ばれるデータワードが、集積回路の入力に供給されている。集積回路は、入力されたデータワードに基づいて、所望の応答と比較される集積回路の特定の応答を生成して出力している。これにより、集積回路が許容された動作をしているか否か、換言すれば、集積回路が適切に製造されたか否かを確認することができる。

【0003】このような集積回路においては、集積化の密度が増加してきた影響により、必要なテストベクトルの数がますます増加してきている。従来技術によれば、これらのテストベクトルはベクトルメモリ内に格納されている。このような背景事情により、テスト対象の集積回路の1つのピンに対して供給されるテストベクトルの数は、数100万テストベクトルにまで増加する可能性もある。このような高い数字は、このテストシステムのためには非常に高い経費を必要とし、換言すれば、テスト対象の集積回路の製造コストの増加を導くことになる。

## 【0004】

【発明が解決しようとする課題】従来技術による解決方法の1つは内蔵自己テスト(BIST—Build-In self test)と呼ばれるものであり、集積回路上に外部装置と協力して機能する特別なテスト回路を設けた簡単なテストシステムを用いる場合である。この解決方法は、換言すれば、集積回路上に設けられるテスト回路であるために、集積回路の表面の面積を増加させる必要性が生じるし、さらに集積回路上に存在する有用な回路を変形させなければならないという短所を有している。換言すれば、これはこの有用な回路が最適には設計できていないという危険性を含んでいる。

【0005】この発明は、テスト対象の集積回路の表面には、いかなる特別な手段や構成を追加する必要もなく、またその設計も比較的簡単である集積回路テスト装置および集積回路テスト方法を明確に提供すること目的としている。

## 【0006】

【課題を解決するための手段】上記目的を達成するため、この発明に係る集積回路テスト装置は、請求項1に記載された特徴部分の構成を備えている。すなわち、請求項1に係る集積回路テスト装置は、テスト対象の集積

回路の外部に設けられた集積回路テスト装置において、決定論的データワードを供給するデータワード生成器と、前記決定論的データワードを命令されたように変更して前記テスト対象の集積回路の入力に供給可能な決定論的テストパターンを生成するテストパターン生成手段と、前記集積回路のテスト出力パターンを少なくとも1つの所望の出力パターンと比較する比較手段と、を備えている。

【0007】以上のように構成することにより、この発明に係るテスト装置により集積回路をテストする場合には、大容量のベクトルメモリを省略することができる。このような大容量のベクトルメモリを設ける代わりに、決定論的データワードを供給するデータワード生成器が設けられている。このようにして設けられたデータワード生成器は、公知のすなわち予期可能であっても良いデータワードのシーケンスを直接供給するということを意味している。

【0008】データワード生成器のこれらの決定論的データワードは、テストパターン生成手段によってビット形式へと変更されている。この場合、これらの決定論的データワードを構成するそれぞれのワードの個々のビットは、命令されたように変更され、決定論的データパターンが生成される。これらのテストパターンは、テスト対象の集積回路の入力に供給されること、および/または所望の出力パターンを表現すること、目的として提供されている。

【0009】所望の出力パターンは、テストパターンをさらに変更することにより生成されている。テストパターンから生成された、テスト対象の集積回路の出力信号は、比較手段により、これらの所望の出力パターンと比較されている。

【0010】この相対的に簡単な方法によれば、全てのテストパターンおよび/またはベクトルを格納するためのテストパターンメモリを必要としないで、テストパターンの生成を行なうことが可能となる。しかしながら、個別にメモリ内に存在しているテストパターンやベクトル等を用いる必要もなく、連続するテストパターンのシーケンスを連続的に生成するデータワード生成器およびテストパターン生成手段を用いることの方がむしろ可能となる。

【0011】回路構成は、集積回路の外部に設けられ、テスト対象の集積回路上にいかなる特別な手段を必要とすることなく、換言すれば、回路構成全体におけるテスト対象としての集積回路の構成に対して特別な変更を加えることなく、さらにまた、集積回路上にも追加的な表面領域を必要とすることのないものである。

【0012】この発明によるテスト装置は、このテスト装置を制御する制御装置や、もし適切であるならば、比較結果の評価を本質的に保証する簡単な評価装置などと共に一般的に組み込まれたテストシステムとして実現す

ることも可能である。

【0013】請求項2に記載された本発明の改良によれば、前記データワード生成器としてフィードバックシフトレジスタが設けられている。このようなフィードバックシフトレジスタは、疑似ランダムデータワードを供給しており、これらの疑似ランダムデータワードは、しかしながら、固定化されたパターン、それ故に公知であり、換言すれば決定論的であるパターンにしたがって生成されている。したがって、このようにして、回路構成という点からは非常に簡略であり、テストパターン生成手段用の決定論的データワードを生成することが可能となる。

【0014】請求項3に記載された本発明の更なる改良によれば、テストパターン生成手段は、ビット反転コントローラと、このビット反転コントローラにより駆動されるビット反転論理回路と、に分割されると有利である。ビット反転論理回路はデータワード生成器により供給された決定論的データワードのそれぞれのビットを、所望の値が個々のビットのために外側で実現されるように、外部側での全体の供給源としてのビット反転論理回路がテスト対象の集積回路の入力へと供給される所望の命令された決定論的テストパターンデータワードを実現するように、個別に変更することを目的として設けられている。

【0015】集積回路内では、もしも適切であるならば、限定されていないかまたはメモリ応答を有する回路素子を提供することが可能である。この場合、テストの最中の集積回路の出力パターンの評価は可能ではない。一般的に、この場合に含まれるものは、評価できないまたは評価すべきでない特定のテスト用の位相における特定の出力テストパターンである。この問題を解決するために、請求項4に記載されたこの発明のさらなる改良によれば、マスキング論理回路が設けられて、回路構成における比較手段を、テスト対象の集積回路の命令されたテスト出力パターンのみが所望のパターンと比較されるように、制御している。換言すれば、この論理は、特定の出力パターンを隠すものであり、言い換えれば、上述された理由のために評価されるべきではない出力パターンが評価に従って抑制されるものである。

【0016】請求項5に記載された更なる改良は、テスト動作を制御し、対応する計数結果を回路構成の素子、特にビット反転コントローラおよび/またはマスキング論理回路に中継するクロック信号を計数するテストパターンカウンタを備えている。この発明による回路構成の設計に基づいて、クロック信号はテストパターンを生成するのに充分であるので、このカウンタの計数結果に基づいて、テスト動作が配置されるテスト位相を確立することがこのような方法によりきわめて容易に可能となる。

【0017】比較手段は、おそらく個々のデータワード

それ自体を所望のパターンと比較する必要はなく、このことはまた、請求項6記載されたこの発明の才なる改良に従って提供されるように、署名(signature—サインのこと)レジスタの手段によって実施されることが可能である。この署名レジスタは、テスト対象の集積回路の各々の新たな出力データワードを排他的論理和論理動作による以前のメモリ結果と結合している。この動作は各々の新たなテストパターンと共に繰り返される。テスト動作の終わりに、署名レジスタの値が読み出されて所望の値と比較される。

【0018】請求項7に記載されたこの発明の更なる改良により提供されるように、この発明に係るテスト装置は、プログラム可能な論理回路としても実現することができる。請求項7により提案されているように、簡単なテストシステムへリンクさせるようにして集積回路の外部側に設けられることによりこのテスト装置の回路は有利に提供される。この場合、テストシステムは、この発明によるテスト装置を制御するために、例えば必要なクロック信号を供給することになる。

【0019】上記のような各目的は、請求項10の特徴部分で定義されているように、集積回路をテストする方法によっても実現されるものである。

【0020】

【発明の実施の形態】以下、この発明による例示的な実施形態が、添付図面に従って、より詳細に説明される。

【0021】図1はこの発明の実施形態による集積回路テスト装置のブロック構成図を示しており、集積回路1をテストしている。

【0022】この発明の実施形態による集積回路テスト装置は、フィードバックシフトレジスタとして設計されたデータワード生成器2を有している。このデータワード生成器2は、テスト動作を制御する手段を用いてクロック信号Tにより駆動されている。このクロック信号Tの各々の新たなエッジと共に、データワード生成器は新たな決定論的データワードを供給している。これに関連して、決定論的な者はデータワードの公知のシーケンスを引用しているので、それゆえに、クロック信号Tのそれぞれのパルスのために、データワードが、データワード生成器2よりそれぞれ供給されているように見えることは公知のことである。

【0023】このようにしてデータワード生成器2により生成されたデータワードは、テストベクトルとしてはそれら自身まだ適していない。なぜならば、テストベクトルは、データワードのビット値とは異なる特定のビット値を有しているべきであるからである。

【0024】したがって、命令されたような決定論的テストパターンおよび所望の出力パターンを生成するためには、データワード生成器2により供給される決定論的データワードを用いるテストパターン生成手段が提供されている。

【0025】テストパターン生成手段は、ビット反転論理回路3、4、5と名付けられたものを有しており、これに対してデータワードのそれぞれのビットがその入力側に供給されている。図2による第2の例示的な実施形態において、明瞭さを理由として、テストパターンとして提供されたデータワードは、それぞれの場合2ビットのみを備え、また、所望の出力パターンとして提供されたデータワードは、それぞれの場合1ビットを備えている。

10 【0026】ビット反転論理回路3、4、5は、ビット反転コントローラ6を用いて駆動されており、このコントローラ6はテストパターン生成手段と同じように帰属している。この場合、ビット反転コントローラ6は、各々の新たなデータワードを制御し、この新たなデータワードはクロック信号Tの機能としてデータワード生成器2により供給され、それらのビットは、個別のデータワードの所望のビットおよび所望の出力パターンがビット反転論理回路3、4、5の出力で生成されると共にこれにより決定論的データワードとなるように個別的に変更されている。

【0027】この場合、ビット反転論理回路3、4、5は、テスト対象の集積回路の入力へと供給されるデータワードを提供するものである。さらに、各々のテストステップのために、これらの論理回路は所望の出力パターンとしてのデータワードを供給しており、このデータワードはテスト対象の集積回路1の出力信号と比較されている。

【0028】図1による第1の例示的な実施形態において、説明を簡略化するために、テスト対象の集積回路1の入力に接続されたデータワードは、2ビットのみを含むものとする。説明をさらに簡略化するために、テストパターン生成手段により生成されるべきものと同じように所望の出力テストパターンは、1ビットのみを含むものとする。

【0029】図1にしたがった例示的な実施形態において、2つのビット反転論理回路3、4は、1つのデータワード毎に2つのビットを生成し、テスト対象の集積回路の入力へと接続供給されている。これに対して、ビット反転論理回路5は、所望の出力パターン毎に単一のビットを生成している。

【0030】2つのビット反転論理回路3、4により供給される信号波形成形器7、8および駆動ステージ9、10を介してテスト対象の集積回路1の入力に接続されている。

【0031】それぞれのテストステップについて、そしてそれぞれの新たなデータワードについて、これはドライバ9および10を用いてテスト対象の集積回路1の入力に接続され、この集積回路1はその出力側に、駆動ステージ11を介して比較器12へと通過させる出力パターンを供給している。比較器12はテスト対象の集積回

路のテスト出力パターンを所望の出力パターンを比較するために役に立つ比較手段としての構成要素である。

【0032】上述した箇所で既に説明したように、図1にしたがった例示的な実施形態において、所望の出力パターンは、ビット反転論理回路5により生成されている。1ビットのみがこの例示的な実施形態におけるそれぞれの所望の出力パターン毎に含まれている。

【0033】したがって、それぞれのテストステップ毎に、比較器12は、テスト対象の集積回路1のテスト出力パターンを、ビット反転論理回路5に由来するそれぞれの所望の出力パターンと比較している。したがって、集積回路の出力応答は、各テストステップのために、さらに新たに各テストパターンのために、または集積回路1に供給されるテストデータワードのためにチェックすることができる。

【0034】比較器12により供給された結果の評価は、例えば簡単なテストシステムにより行われており、図面を用いたさらに詳細な構成は示されていない。

【0035】もしも適切であるならば、集積回路1またはこの回路の個々の要素は、集積回路1の全ての出力信号が評価されるべきものではないという事実を結果として生ずるような、定義されない応答を提示することができる。特に、個々のテストステップにおける出力信号を抑制することは、目的に適したものとなり得る。

【0036】この目的のために、特定のテスト位相のなかで比較が行なわれることがなかったり、または、結果として生じる比較が評価のためには伝達されないよう、比較器12を駆動するマスキング論理回路13が追加して設けられている。

【0037】上述した箇所で既に説明したように、集積回路1用のテストシーケンスは、クロック信号Tにより制御されている。このクロック信号Tの個々のパルス毎に、データワード生成器2は新たに決定論的データワードをビット反転論理回路3, 4, 5, を供給する。決定論的データワードが含まれているにも拘わらず、いずれにしてもデータワードが含まれているときは何れのときでも知られていなくてはならないので、その値は公知である。これを確実にするために、テストベクトルカウンタ14が設けられ、クロック信号Tを計数すると共に、その計数結果をビット反転コントローラ16とマスキング論理回路13とに供給している。テスト動作が位置されているテスト位相は、これにより、これらの構成要素にとってはいかなるときでも公知である。従って、クロック信号Tの新たなパルスのためには、ビット反転コントローラ6は、ビット反転回路3, 4, 5が所望の決定論的データワードまたは所望の出力パターンをその出力側に供給するように、データワード生成器2により供給されるデータワードがビット反転回路3, 4, 5を駆動するために公知であるという事実を用いることができる。

【0038】この発明に係るこのような構成の影響で、集積回路1は目的のための特別な回路素子、または回路上の基板上テストシステムでさえも必要とせずにテストされ得るものである。

【0039】さらに、この発明に係るこのような構成の影響により、先行技術にしたがったテスト装置のような、各々のテストベクトルまたはデータワード全てのビットが個別的に格納されるようなテストベクトルメモリを、原理的には除去することができる。

10 【0040】このテスト装置に試通性を提供するためには、例えば提供されていない新規なテストベクトルを用いてテストするときのために、ビット反転論理回路3, 4, 5の出力の代わりに、電子的スイッチ16, 17, 18により、信号波形成形器7, 8または比較器12に對して切り換え出力を供給することが可能なテストベクトルメモリ15をさらに設けることも可能である。さらに、各々のテストステップにおいて、テストベクトルメモリ15内に格納されたデータを用いて比較器12が集積回路1により実際に供給される出力テストパターンに對して、所望の出力パターンの比較を実行するものであるか否かが確立される。この目的のために、比較器12の駆動出力がテストベクトルメモリ15へか、またはビット反転コントローラ6への何れかに切換可能であるということを用いる電子的スイッチ19が設けられている。

20 【0041】しかしながら、テストベクトルメモリ15は、選択可能な部品としてのみ提供され、この発明によるテスト回路の機能を実現するために必要なものではないということは明白に述べられるべきである。

30 【0042】むしろ、後者の動作モードが、命令された決定論的のテストパターンがテスト対象の集積回路1に対して供給されるように、データワード生成器2により供給された決定論的データワードを構成するために、ビット反転コントローラ16およびビット反転論理回路3, 4を用いるように構成されている。テスト対象の集積回路1により出力側に供給される出力テストパターンは、ビット反転論理回路5により供給された所望の出力パターンと比較される所望の比較テストパターンと比較されている。これら所望の出力パターンはまた、ビット反転論理回路5およびビット反転コントローラ6を用いてデータワード生成器2の決定論的データワードから得られる。

40 【0043】図2には、この発明の実施形態に係る集積回路1をテストするための回路構成が示されており、この回路構成は、図1による回路構成と比較すると僅かに変形されている。特に、比較手段が図2による例示的な実施形態では異なるデザインとなっている。

【0044】図2は、テスト対象の集積回路21と簡単なテストシステム36との間に接続されたテスト基板35上の集積回路21をテストする、この発明に係る構成

を示している。このテストシステム36は、この場合、後に判定されるであろう特別なクロック信号を主として生成し、その比較の結果を評価するために役立っている。

【0045】テスト基板35上に形成されたこの発明に係るテスト装置は、特に、プログラム可能な論理回路として実現可能である。

【0046】図2にしたがったこの発明によるテスト装置の構成は、その下流側にビット反転論理回路23, 24, 25, 26が接続されたテストベクトル生成器22を有している。この場合、ビット反転論理回路23ないし26はテスト対象の集積回路21の4つ入力に供給される4ビット幅のテストパターンのクロックステップ信号をそれぞれ生成するために機能している。

【0047】図1にしたがった例示的な実施形態に関連して既に説明したのと同様に、この図2にしたがった例示的な実施形態においても、ビット反転論理回路23ないし26は、ビット反転コントローラ27を用いて駆動されている。

【0048】図2にしたがった例示的な実施形態においてはさらに、ビット反転コントローラ27を駆動するつとベクトルカウンタ28が設けられている。さらに、このテストベクトルカウンタ28により同様に駆動されるマスキング論理回路29も設けられている。

【0049】テスト対象の集積回路1のテスト制御入力は、テストシステム36により供給された信号TCと、テストベクトルカウンタ28により供給された信号とから、ANDゲートを用いた論理動作により生成された制御信号によって駆動されている。テスト対象の集積回路21は、このようにして、それぞれの場合における集積回路が所望の瞬間に新たなテストパターンを取り入れるようにして制御されている。

【0050】図2による例示的な実施形態において、所望の出力パターンはデータワード生成器およびビット反転論理回路によっては生成されないが、署名(signature—サイン/シグニチャー)レジスタ30によって、テスト対象の集積回路21のテスト動作におけるステップ的なやり方で読み出された全ての出力テストパターンの圧縮が、互いに論理的に結合され、そして最終的にはテストシステム36によって評価されるが、所望の出力パターンとの比較が行なわれている。この場合、既に署名レジスタ30内に格納されたデータワードとの排他的論理和論理結合は、各々の新たなデータワード毎の各々のテストパターンで行なわれている。この動作は、新たなテストパターンのステップ毎に繰り返される。テスト動作の最後で、署名レジスタ30は、丁度テスト対象の集積回路であるかのような出力側でクロック信号CLKによりクロック動作させられる。

【0051】まさに図1にしたがった例示的な実施形態におけるように、この手順においてテスト対象の集積回

路21に設けられた構成要素が定義されない応答を行なうので、特定のテスト位相においては集積回路の特定の出力は、評価されることのできない信号がランダムな値を有しているので、これらの信号を供給することが生じるかもしれない。

【0052】図2にしたがった例示的な実施形態において、ビット変更論理回路31, 32, 33, 34は、それゆえに、通常は評価されることができないこのようなビットが特定の所望の値を生成するために変形されることを助けとして提供される。このことは、定義された状態が各々のテストステップ毎に署名レジスタ30の入力に存在するように要求され、その理由は、この署名レジスタ30に供給される全てのテストパターンの論理的な結合が、全てのテストステップにわたって可能であり、このやり方のみで定義された結果を供給しているからである。

【0053】要約すると、図1にしたがった例示的な実施形態においては、個別にはビット反転論理回路およびビット反転コントローラとそれぞれ名付けられた、データワード生成器およびテストパターン生成手段が、テスト対象の集積回路の入力側に供給されるテストパターンを生成すると共に、テストの最中に集積回路の実際の出力パターンと比較される所望の出力パターンをも生成するという両方の役割を行なっている。

【0054】これに対して、図2にしたがった例示的な実施形態において、データワード生成器22およびテストパターン生成手段は、テスト対象の対象のために入力テストパターンを生成するという目的のために排他的に用いられている。図2にしたがった第2の例示的な実施形態においては、テスト動作の最後にただ1つのデータワードを現在表していると共に、例えばテストシステムに永久的に格納されている所望のデータワードと比較される、署名の結果を供給するような署名レジスタを介して、出力テストパターンが互いに論理的に結合される。

【0055】

【発明の効果】以上、詳細に説明したように、この発明に係る集積回路テスト装置および集積回路テスト方法によれば、大容量のテストベクトルメモリを設けることなく、多数のテストベクトルの助けを借りてテストすることが可能となるものと考えられる。再び、両方の場合において、テスト対象の集積回路は、基板上のテストシステムを含んでいる必要はない。さらに、テスト対象の集積回路の回路構成を変更する必要もない。

【図面の簡単な説明】

【図1】この発明による集積回路テスト装置の構成を示すブロック図である。

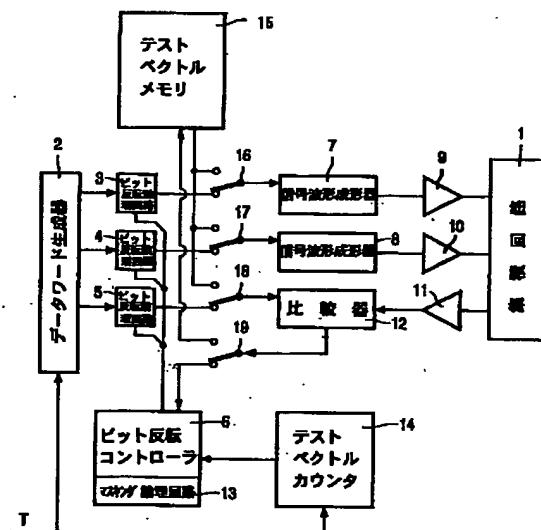
【図2】テスト対象の集積回路とテストシステムとの間に接続されるテスト基板上に設けたこの発明による集積回路テスト装置を示す詳細なブロック図である。

## 【符号の説明】

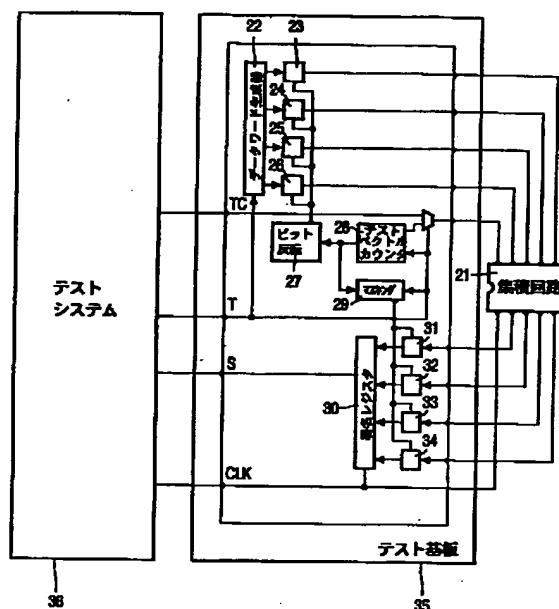
1, 21 集積回路  
 2, 22 データワード生成器  
 3-6, 22-27 テストパターン生成手段  
 12, 30 比較手段

6, 27 ビット反転コントローラ  
 3-5, 23-26 ビット反転論理回路  
 13, 29 マスキング論理回路  
 30 署名レジスタ

【図1】



【図2】



フロントページの続き

(72)発明者 フリードリッヒ、ハブケ  
 ドイツ連邦共和国ビンゼン／ルエ、グラッ  
 ペンカンプ、16

Fターム(参考) 2G132 AA01 AB01 AC03 AD06 AE06  
 AE08 AE14 AE22 AG01 AH01  
 AK09 AK29 AL00  
 5B048 AA20 CC02 DD05 DD08